

04838374

SEMICONDUCTOR DEVICE AND ITS OPERATING METHOD

PUB. NO. : 07-130974 [JP 7130974 A]

PUBLISHED: May 19, 1995 (19950519)

INVENTOR(s): KODAMA MITSUFUMI

SUGIURA KAZUJI

YAMAUCHI YUKIO

SAKAMOTO NAOYA

ARAI MICHIRO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
or Corporation), JP (Japan)

TDK CORP [000306] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO. : 05-297492 [JP 93297492]

FILED: November 02, 1993 (19931102)

INTL CLASS: [6] H01L-027/146

JAPIO CLASS: 42.2 (ELECTRONICS — Solid State Components); 44.7
(COMMUNICATION -- Facsimile)

JAPIO KEYWORD: R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

ABSTRACT

PURPOSE: To obtain a solid-state image sensing element having a function to
amplify an optical signal as an electric signal.

CONSTITUTION: In a thin-film transistor which uses a crystalline silicon
thin film, light is shone at an active-layer region in the thin-film
transistor in a state that a voltage is applied to a gate electrode, and an
optical signal is measured as an electric signal on the basis of a current
which flows across a source and a drain at this time. When a silicon thin
film constituting the active-layer region is formed as the crystalline
silicon thin film, it is possible to obtain a change in the current of
10^(sup 4) to 10^(sup 5) times as many as carriers generated at a time when
light is shone.

010317859 **Image available**

WPI Acc No: 95-219122/199529

XRPX Acc No: N95-171893

Operation method for semiconductor solid state image pick up e.g.

facsimile - by detecting light irradiated by active layer based on change
in current flowing between source and drain domains

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); TDK CORP (DENK)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
-----------	------	------	-------------	------	------	----------	------

JP 7130974	A	19950519	JP 93297492	A	19931102	H01L-027/146	199529 B
------------	---	----------	-------------	---	----------	--------------	----------

Priority Applications (No Type Date): JP 93297492 A 19931102

Patent Details:

Patent	Kind	Lan Pg	Filing Notes	Application	Patent
--------	------	--------	--------------	-------------	--------

JP 7130974	A	9			
------------	---	---	--	--	--

Abstract (Basic): JP 7130974 A

The operation method for a semiconductor device is applied to an active layer (4) which uses crystalline silicon thin film formed on an insulated layer (2) set up on a substrate (1). A gate insulating film (6) is formed on the active layer. The active layer contacts a source domain (3) and a drain domain (5). A light is irradiated by the active layer domain of the TFT, when a voltage is applied to a gate electrode (7).

The optical carrier is stored temporarily in the active layer and the optical carrier with opposite polarity to that of the applied voltage flows near the gate insulating film. The resistance value of the active layer domain changes according to which a current change flows between the source and drain domain. The optical signal is measured as an electric signal from the current which flows between the source and drain. The current change time of the optical carrier is obtained.

ADVANTAGE - Enables production of solid state image pick-up element. Produces optical signal as electric signal.

Dwg. 2/8

Title Terms: OPERATE; METHOD; SEMICONDUCTOR; SOLID; STATE; IMAGE; PICK; UP;
FACSIMILE; DETECT; LIGHT; IRRADIATE; ACTIVE; LAYER; BASED; CHANGE;
CURRENT; FLOW; SOURCE; DRAIN; DOMAIN

Derwent Class: U13; U14

International Patent Class (Main): H01L-027/146

File Segment: EPI

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-130974

(43) 公開日 平成7年(1995)5月19日

(51) Int.CL⁶
H 01 L 27/146

識別記号 庁内整理番号
7210-4M

F I

技術表示箇所
C

審査請求 未請求 請求項の数 5 FD (全 9 頁)

(21) 出願番号 特願平5-297492

(22) 出願日 平成5年(1993)11月2日

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(71) 出願人 000003067
ティーディーケイ株式会社
東京都中央区日本橋1丁目13番1号
(72) 発明者 小玉 光文
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 杉浦 和司
東京都中央区日本橋一丁目13番1号 ティ
ーディーケイ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその動作方法

(57) 【要約】

【目的】 光信号を電気信号として増幅する機能を有する固体撮像素子を得る。

【構成】 結晶性の珪素薄膜を用いた薄膜トランジスタにおいて、ゲート電極に電圧を印加した状態で当該薄膜トランジスタの活性層領域に光を照射し、その際のソース・ドレイン間を流れる電流より光信号を電気信号として計測する。活性層領域を構成する珪素薄膜を結晶性珪素薄膜とすることで、光照射によって発生するキャリアの $10^4 \sim 10^5$ 倍の電流変化を得ることができる。

【特許請求の範囲】

【請求項1】 絶縁表面を有する基板上に設けられた結晶性を有するシリコンを用いた活性層と、前記活性層上に形成されたゲート絶縁膜と、前記活性層に接してソース領域とドレイン領域と、を有し、前記活性層は、光が照射されることで光キャリアを発生させ、前記光キャリアの内、ゲート絶縁膜との界面近傍を流れるキャリアと反対の極性を有する光キャリアが該活性層内に一時的に蓄積されることで、前記活性層領域の抵抗は変化し、該活性層領域の抵抗変化に従うソース・ドレイン間を流れる電流変化から、前記活性層に照射された光を検出することを特徴とする半導体装置。

【請求項2】 請求項1において、活性層は30nm～1000nmの膜厚を有することを特徴とする半導体装置。

【請求項3】 請求項1において、ゲート絶縁膜の厚さが20nm～300nmであることを特長とする半導体装置。

【請求項4】 絶縁表面を有する基板上に設けられた結晶性を有するシリコンを用いた活性層と、前記活性層上に形成されたゲート絶縁膜と、を有する半導体装置の動作方法であって、前記活性層に光が照射されることで光キャリアを発生させ、前記光キャリアの内、ゲート絶縁膜との界面近傍を流れるキャリアと反対の極性を有する光キャリアを該活性層内に一時的に蓄積することで、前記活性層領域の抵抗を変化させ、該活性層領域の抵抗変化によって、前記照射された光を電気信号として出力することを特徴とする半導体装置の動作方法。

【請求項5】 絶縁表面を有する基板上に複数の薄膜トランジスタが設けられており、前記複数の薄膜トランジスタの一部は、照射された光を電気信号として出力する機能を有する固体撮像素子であって、前記複数の薄膜トランジスタの他の一部は、固体撮像素子を駆動する機能を有する駆動素子であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光信号を電気信号として取り出すことのできる機能を有する半導体装置に関する。本発明の半導体装置は、固体撮像装置（イメージセンサーとも呼ばれる）として利用することができる。

【0002】

【従来の技術】近年、ファクシミリの普及に合わせて、

イメージセンサーのより小型化、軽量化、低価格化が求められている。ファクシミリ等に用いられるイメージセンサーは、大別して、非密着型、密着型、完全密着型の3種類がある。

【0003】非密着型は、原稿を縮小レンズ系を通してCCDに投影するもので以下の特徴がある。「現在確立されているシリコンウェハーを用いたLSIプロセスを利用して生産性が高く、低価格化できる」一方、縮小レンズ等の光学系が必要とされるので、小型化、軽量化の点で問題がある。

【0004】一方密着型、完全密着型は、小型化、軽量化において非密着型に比べ有利である。しかし、その作製プロセスや実装、組立における生産コストが高いという問題がある。さらに、セルフォックレンズアレイや薄板ガラス等の高価格の部品を用いなくてはならず、この点からの生産コストの増大を招いていた。

【0005】ファクシリミ用の密着型のイメージセンサーとしては、MOSLSIチップを多数実装するマルチチップ型と、アモルファスシリコン薄膜等を光センサー部に用いた薄膜型とが主に知られている。これらは、いずれもセルフォックレンズアレイを用いている。

【0006】マルチチップ型はすでに高い技術が確立が確立されているMOSLSIの作製工程により製造されるため、製造歩留りも高く、安定供給が可能であるとされている。しかし一方で、組立精度などが原因で実装されたMOSLSIチップ間で特性のバラツキが発生しやすいという欠点をもつ。

【0007】一方薄膜型は、ガラスやセラミック等の絶縁基板上に薄膜工程で作製できるので、大面積化が可能であり、原稿幅と同じ長さの原稿読み取りチップを容易に得ることができるという利点がある。しかしながら、製造工程数が多く、歩留りが悪い為、生産コストが高くなるという欠点がある。

【0008】イメージセンサに用いられる光電変換素子の形式としては、フォトコンダクター型とフォトダイオード型が知られている。

【0009】フォトコンダクター型は、光が照射されることにより抵抗が下がるような材料、例えば非晶質シリコン等の材料を用い、光照射に従うその抵抗の変化を電流値の変化として読み取る方法である。一般にフォトコンダクター型は、大電流を流すことが出来るため、ノイズに強いという特徴を有するが、光応答性が悪いので、ファクシミリの高速化の要求に対しては不利である。

【0010】一方フォトダイオード型は、光がダイオードに照射されたときにダイオードの空乏層内に発生したキャリアを逆バイアス方向に印加されている電圧が掃引することで、光の強さに比例した電流を信号として得る形式である。このフォトダイオード型は、光に対する応答が非常に高速であるという特徴を有する。しかし、フォトダイオードに流れる電流が小さいため、ノイズの影

響を受けやすいという問題がある。

【0011】さらに、フォトダイオード型は、読み取り駆動回路を作製するための製造工程がフォトダイオードを作製するための工程と異なるため、非常に多数の複雑な製造工程が必要であり、一般に歩留りが低くなる傾向になる。また、読み取り駆動回路を外付けICにした場合には、多数の読み取りチップが必要となるために低価格化が非常に困難である。

【0012】

【発明が解決しようとする課題】以上述べたようなイメージセンサにおける諸問題を解決するには、下記の要求事項を満たした構成が必要とされる。

(1) 製造工程数が少ないこと。従って、歩留りがよく安価に製造できること。

(2) 読み取り駆動回路が光電変換素子と同一基板上に構成されており、多数の外付けチップが必要ないこと。従って、大面積化が容易であり、かつ安価に製造可能であること。また、大掛かりな縮小光学系を必要としないこと。

(3) 光応答性が良好であり、高速動作が可能であること。

(4) 大きな信号を得ることが可能であり、ノイズの影響を受けにくいこと。

【0013】本発明は、上記(1)～(4)の要求事項を満たした光電変換素子を得ることを発明の目的とする。

【0014】

【課題を解決するための手段】本発明の一例を図1に示す。図1に示すのは、ガラスや石英等の絶縁基板1上に設けられた半導体装置を示している。この半導体装置は、入射する光の信号を増幅して電気信号として出力する機能を有する。

【0015】この半導体装置は、絶縁基板1と該絶縁基板1上の絶縁層2、光キャリアを発生する結晶性シリコン活性層(チャネル形成領域となる)4、ゲート絶縁膜6、ゲート電極7、層間絶縁膜8、配線電極9、10、一導電型を有するソース／ドレイン領域3、5で構成されている。

【0016】ゲート電極7には、所定の電圧を印加するのであるが、ソース／ドレイン領域3、5がN型の場合は、正の電圧を、ソース／ドレイン領域3、5がP型の場合は、負の電圧を印加する。

【0017】本発明においては、図1に示すように、絶縁層2とゲート絶縁膜6とで、光キャリアを発生する結晶性シリコン層4を挟んだ構成とすることが重要である。これは光照射によって発生したキャリアを結晶性シリコン層4内に閉じ込めることが重要であるからである。

【0018】

【作用】以下図1に示す構成を用いてその動作原理を説明する。この半導体装置は、結晶性シリコン活性層4に

照射される光信号をソース／ドレイン領域間に流れる信号電流として出力する機能を有する。

【0019】以下においては、ソース／ドレイン領域3、5がN型半導体であるとする。従って、ゲート電極7に加えられるのは、正の電圧である。また、ソース／ドレイン間には、適当な電圧が印加されているものとする。

【0020】この状態において、活性層4に光が照射された場合を考える。この場合、図1に示されているように、光励起によってキャリアが発生する。そして、負の電荷である電子eは、正の電圧が印加されているゲート電極7側に引き寄せられ、正の電荷であるホールは、絶縁層2側に移動する。

【0021】一方、電子が集まる領域は、ゲート電極に印加されている正の電圧のために反転し、低抵抗化したチャネル領域と成る。従って、ゲート電極側に引き寄せられた電子は、ソース／ドレイン領域3、5間に流れる電流に寄与することになる。

【0022】絶縁層2側に集まったホールは、絶縁層2が存在するために基板側に拡散消失することができない。この状態は、通常のシリコンウェハー上に構成されたICでいうところの基板バイアスが印加された状態に相当する。(図2参照)

【0023】図2に示されるのは、単結晶シリコンウェハー21表面に形成されたMIS型トランジスタが示されている。図2において、23／25がソース／ドレイン領域であり、24がチャネル領域である。その他の構成は図1に示すMIS型トランジスタと同じである。

【0024】この図2に示す基板バイアスが印加されている状態において、基板バイアスの値を変化させると、これによりしきい値電圧がシフトしチャネル24の抵抗を変化させることができる。一方図1に示す構成においては、活性層4の絶縁層2側に集まったホールの数(密度)を変化させることで、上記基板バイアスを変化させた場合と同様の効果を得ることができる。

【0025】図1に示す構成において、絶縁層2側に集まったホールは光照射によって発生した光キャリアであり、その密度は活性層4に照射される光の波長や光量によって決定される。従って、活性層4に照射される光によって、活性層4のゲート絶縁膜2側に形成されるチャネルの抵抗が制御されることになる。

【0026】実験によれば、結晶性シリコン活性層4に光を照射することによって、結晶性シリコン活性層4中に発生する光キャリアのおよそ $10^4 \sim 10^5$ 倍の電流変化をソース／ドレイン間に流れる電流として出力できることが判明している。

【0027】

【実施例】以下に本発明の一実施例である固体撮像装置について説明する。まず、図3、図4を用いてその製造工程について説明する。図3、図4に示されるのは、右

側に2つ示される駆動回路部分と、左側に1つ示される固体撮像素子部分である。固体撮像素子部分は、光の入射を電気信号として出力する機能を有し、駆動回路部分は、固体撮像素子部分を駆動する機能を有する。

【0028】まず、図3(A)に示されるように石英基板41上に下地の絶縁層として、酸化シリコン膜42を200nmの厚さに成膜する。成膜方法は、LPCVD法やスパッタ法を用いればよい。この酸化シリコン膜は、図1における絶縁層2に対応するものであり、この上に形成される活性シリコン層からキャリアが基板側に流失しないように機能する。

【0029】基板としては、ガラス基板や他の絶縁性材料を用いることができる。また、基板として絶縁性材料を用いた場合には、下地の絶縁層を設けなくてもよい。しかし、この下地の絶縁層は、基板側からの不純物の拡散の防止や、基板と活性シリコン層間における応力緩和のためには有用である。また、基板として、半導体や導体を用いる場合には、活性層下に下地の絶縁層を設けることが必要である。

【0030】石英基板上の下地膜42を形成したら、その上にシリコン膜43を200nmの厚さにプラズマCVD法で成膜する。このシリコン膜43は非晶質シリコン膜として成膜する。この時の成膜条件を以下に示す。

反応温度	200度
反応圧力	5.3Pa
R F電力	35W
成膜速度	6nm/min

【0031】さらに、窒素雰囲気(大気圧)中において、600℃、24時間の加熱処理を行うことによって、シリコン膜43を結晶化させた。このシリコン膜43は、図1の4で示されるシリコン活性層を構成する。このシリコン膜43の膜厚は、薄すぎると、後述のアルミ配線とのコンタクト部分でシリコンがアルミ中に拡散してしまい、接触不良や断線が起こりやすい。特に30nm未満の膜厚では、製造歩留りや信頼性が大きく低下する。

【0032】また、このシリコン膜43の膜厚が1μmより厚いと、膜中の応力を制御することが困難であり、マイクロクラックや欠陥が発生し、素子の電気特性のバラツキや信頼性の低下が問題となる。さらには、膜厚が厚いことは、成膜時間が長くなり、生産性の低下を招くこととなる。

【0033】従って、シリコン膜43の膜厚としては、30nm以上1μm以下とすることが適当であると結論される。

【0034】こうして得られた結晶性を有するシリコン膜43を島状にパターニングし、さらにLPCVD法により酸化シリコン膜44を100nmの厚さに成膜する。この酸化シリコン膜44は、図面左側の固体撮像素子部分のみを残して除去し、酸化珪素膜44を固体撮像

素子部分のゲート絶縁膜として構成する。(図3(B))

【0035】そして、読み取り駆動回路部分のゲート絶縁膜を構成する酸化シリコン膜45を熱酸化法によって形成する。この際、酸化シリコン膜の膜厚は100nmとする。この工程によって、図面左側の固体撮像素子部分のゲート絶縁膜44'は、先に成膜された酸化シリコン膜44と、この工程で成膜される熱酸化シリコン膜とで構成されることになる。

【0036】即ち、固体撮像素子部分のゲート絶縁膜は、LPCVD法による100nmの酸化シリコン膜と熱酸化法による100nm厚の酸化シリコン膜とが積層されたもので構成され、読み取り駆動回路部分のゲート絶縁膜は、熱酸化法による酸化シリコン膜で構成されることになる。

【0037】上記のようにゲート絶縁膜を形成するには、固体撮像素子部分と読み取り駆動回路部分とで、それぞれ最適な電気特性が得られるようにするためである。

【0038】ゲート絶縁膜として酸化シリコン膜を用いた場合、その厚さの上限は300nm程度である。これは、ゲート絶縁膜の厚さが300nm以上になると、十分な增幅作用が得られなくなることによる。また、その厚さの下限は、20nmである。これは、固体撮像素子(この場合は図面左側の光電変換素子)の駆動電圧が5~20Vである点、及び膜質のバラツキや長期信頼性の点を考慮すると、ゲート絶縁膜として酸化シリコン膜を用いた場合、その厚さが20nm以上であることが必要とされるからである。

【0039】本実施例においては、固体撮像素子部分と読み取り駆動回路部分とにおけるゲート絶縁膜をその特性に合わせて異らせた構成を採用したが、必要な特性が得られるのであれば、同一の膜厚のゲート絶縁膜を用いるのが作製工程上は有用である。

【0040】本実施例においては、駆動回路部分のゲート絶縁膜はその全てを、また固体撮像素子部分のゲート絶縁膜はその一部を、熱酸化シリコン膜で構成している。熱酸化シリコン膜を利用するには、電気特性と長期信頼性を得るためにある。

【0041】本発明者らの実験によれば、熱酸化法を用いた場合とそうでない場合におけるMIS型トランジスタの電気特性が大きく異なることが見いだされている。この様子を図5に示す。図5には、ゲート絶縁膜として熱酸化シリコン膜を用いた場合のMIS型トランジスタのI-V特性(A)と、ゲート絶縁膜としてCVDシリコン膜を用いた場合のMIS型トランジスタのI-V特性(B)とが示されている。図5を見ると、熱酸化シリコン膜を用いた方がしきい値電圧が低く、ON・OFF比が大きいことが分かる。また、熱酸化シリコン膜をゲート絶縁膜として用いた場合には、長期に渡って、

その電気特性を維持できることが判明している。即ち、長期信頼性においても有用であることが判明している。

【0042】ゲート絶縁膜44'、45を形成した後、LPCVD法により、ゲート電極となるN⁺型の多結晶シリコン46を300nmの厚さに成膜する。成膜に際しては、リンを1×10²⁰atoms/cm²程度以上ドーピングする。(図3(D))

【0043】次にドライエッチング法により多結晶シリコン膜46をパターニングし、引き続いてゲート絶縁膜を構成する酸化シリコン膜44'、45の上側の一部をもエッチングにより取り除く。

【0044】この状態において、残存した多結晶シリコン膜46である47～49は、ゲート電極として形成されたこととなる。次にイオン注入あるいはイオンドーピング法により、N型を付与する不純物であるリンを70kVの加速電圧で1×10¹⁵atoms/cm²のドーズ量で注入する。(図3(E))

【0045】さらに、P型を付与する不純物の注入を行ないたくない部分をレジスト50で被覆して、ボロンを40kVの加速電圧で5×10¹⁵atoms/cm²のドーズ量で注入する。(図3(F))

【0046】図3(F)に示されているのは、右側の2つの素子にだけボロンを注入する場合の例である。

【0047】そして注入した不純物の活性化を行なうために、窒素雰囲気中において、600℃、12時間の熱アニールを行なう。

【0048】次に、常圧CVD法により、層間絶縁膜51となる酸化シリコン膜を800nmの厚さに成膜する。(図4(A))

【0049】この層間絶縁膜としては、PSG膜を利用してよい。さらにコンタクトホールを開孔する。(図4(B))

【0050】さらに、アルミ膜52をスパッタ法で成膜し、さらにパターニングを行なうことにより、アルミ配線を形成する。(図4(C)、(D))

【0051】最後に電気特性を改善するために、350℃の水素雰囲気中において1時間のアニール処理を行ない、固体撮像素子部分と読み取り駆動回路部分とを同時に完成する。

【0052】こうして得られた固体撮像素子は、ゲート電極47、ソース／ドレイン電極53と55、ソース／ドレイン領域56と58、チャネル形成領域57を備えている。また、読み取り駆動回路部分の2つの素子も同様な構成を有している。

【0053】この固体撮像素子のソース・ドレイン間に電圧を印加した際のゲート電圧とドレイン電流の関係を示した電気特性を図6に示す。図6において、Aは、光を照射しない場合の電気特性であり、Bは、光を照射した場合の電気特性、Cは、光を照射した場合と照射しない場合の電流差を示している。

【0054】図6のAとBの曲線を比較すれば分かるように、光が照射されることによって、その電気特性に大きな変化が表れることが分かる。

【0055】図7は、ドレン電圧とドレン電流の関係であり、実線が光を照射しない場合であり、破線が光を照射した場合である。

【0056】以上のデータによれば、700(1x)程度の光の照射で、5～10%もの電流の変化が表れることが結論される。

【0057】さらにこの素子の光応答性は、100μs～1ms程度であることが判明している。この光応答性に対しては、活性層43の厚さ(チャネル形成領域の厚さに相当する)が大きく関係していることが判明している。図8に活性層の厚さと光応答時間との関係を示す。

【0058】図8を見ると、活性層43の厚さが厚い方が光応答が高速であることが理解される。図8によれば、活性層の厚さが100nm(1000Å)程度の場合に応答時間として、200～400μsが得られていることが分かる。また、活性層の厚さを50nm(500Å)とした場合においてもその応答時間としては、1000μs以下が得られていることが分かる。

【0059】ファクシミリのG4規格で要求される光応答時間は、1ms(1000μs)であるので、上記実験事実からいえば、活性層の厚さが50nm(500Å)以上であれば、必要とする光応答特性が得られることになる。

【0060】また、ファクシミリのG3規格で要求される光応答時間は、5ms(5000μs)であるので、上記実験事実からいえば、活性層の厚さが30nm程度でも十分な光応答特性が得られることになる。

【0061】

【効果】以上説明したように、結晶性を有するシリコン薄膜で構成された活性層を絶縁膜で挟み、発生する光キャリアを逃がさない構成とすることによって、活性層に照射された光をソース・ドレン間を流れる電流として増幅して出力する素子を得ることができる。

【0062】この素子は、素子自身に増幅作用を有し、しかも大電流を流すことができるので、ノイズに強いという特徴を有する。また、従来のTFTプロセスを利用でき、実施例に示したように、同一基板上に駆動回路をも同時に形成することができるので、生産性に優れている。

【図面の簡単な説明】

【図1】実施例の固体撮像素子の構造の概略を示す。
【図2】単結晶シリコンウエハー上に形成されたMOSトランジスタの構造を示す。

【図3】実施例の作製工程を示す。

【図4】実施例の作製工程を示す。

【図5】実施例の電流－電圧特性を示す。

【図6】実施例の電流－電圧特性を示す。

【図 7】 実施例の電流一電圧特性を示す。

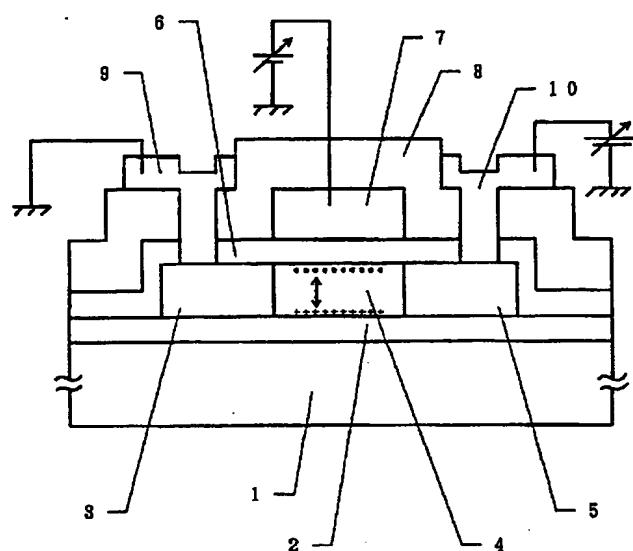
【図 8】 実施例における活性層の厚さと光応答時間との関係を示す。

【符号の説明】

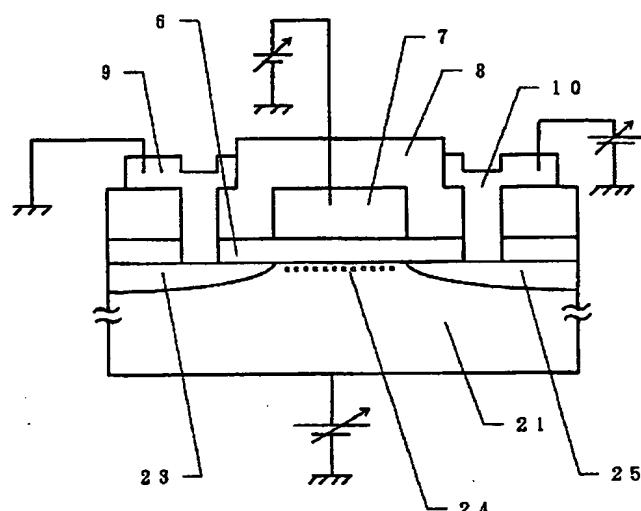
- 1 基板
- 2 絶縁層
- 3 ソース領域
- 4 活性層（チャネル形成領域）
- 5 ドレイン領域
- 6 ゲイト絶縁膜
- 7 ゲイト電極
- 8 層間絶縁膜
- 9 ソース電極
- 10 . . . ドレイン電極
- 21 . . . シリコン単結晶基板
- 23 . . . ソース領域
- 24 . . . チャネル形成領域
- 25 . . . ドレイン領域

- 41 . . . 石英基板
- 42 . . . 酸化珪素膜
- 43 . . . シリコン膜
- 44 . . . 酸化珪素膜
- 45 . . . 酸化珪素膜（熱酸化膜）
- 46 . . . シリコン膜
- 47 . . . ゲイト電極
- 48 . . . ゲイト電極
- 49 . . . ゲイト電極
- 50 . . . マスク
- 51 . . . マスク
- 52 . . . アルミ膜
- 53 . . . ソース電極
- 55 . . . ドレイン電極
- 56 . . . ソース領域
- 57 . . . チャネル形成領域
- 58 . . . ドレイン領域

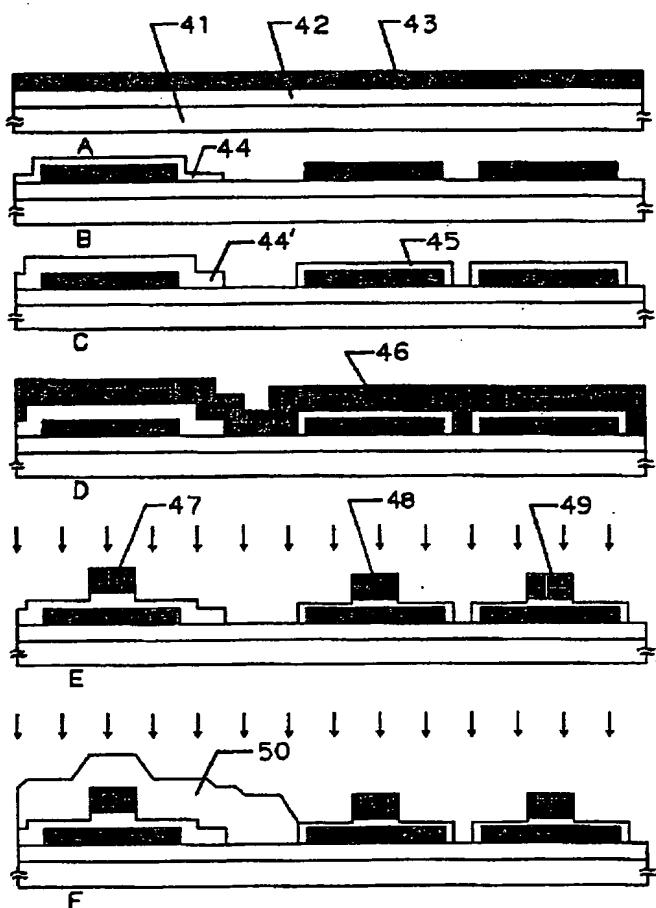
【図 1】



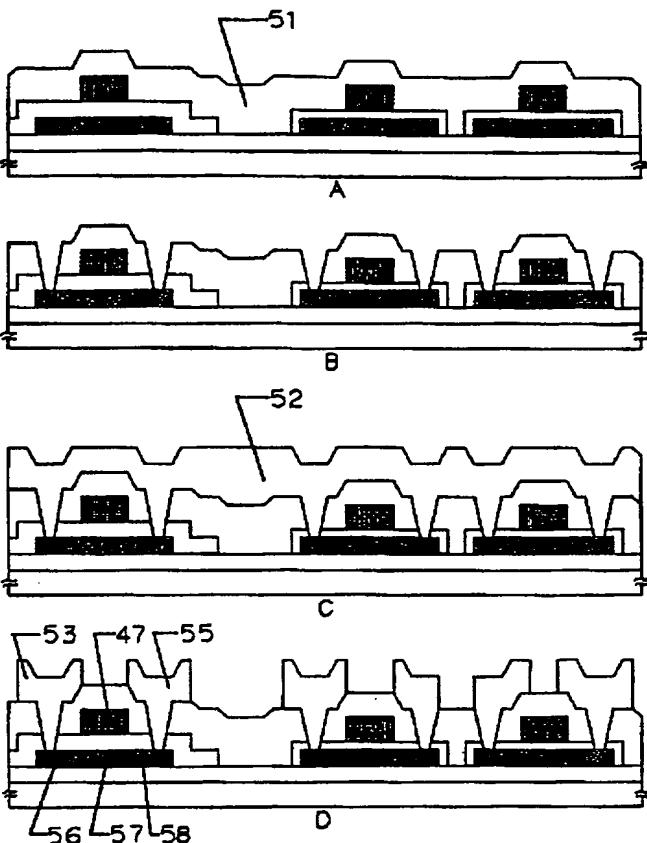
【図 2】



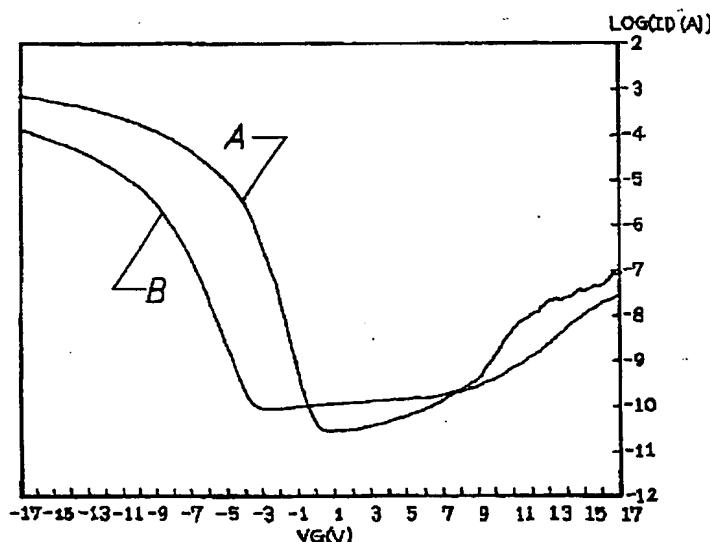
【図3】



【図4】

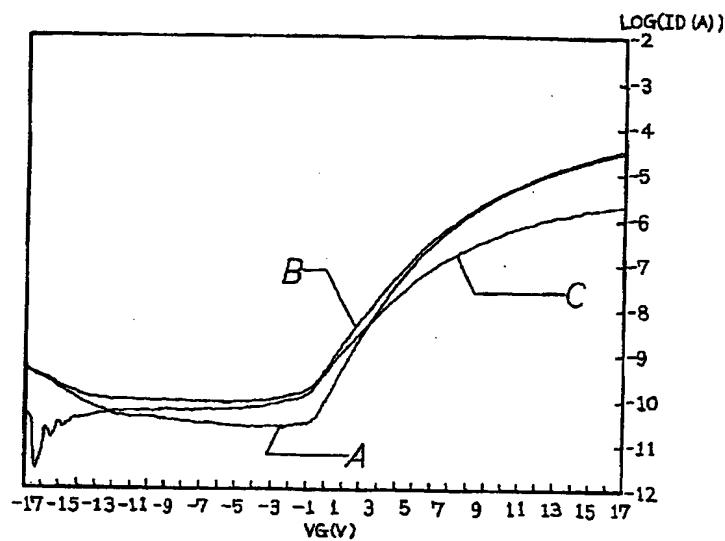


【図5】

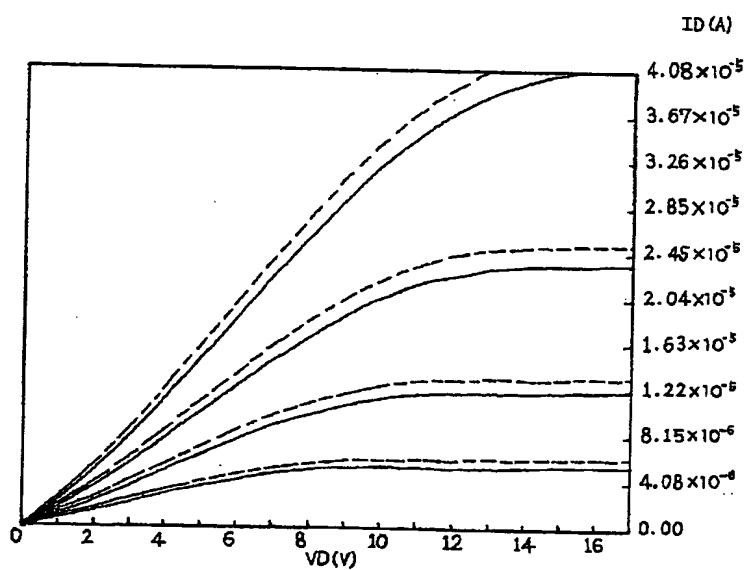


BEST AVAILABLE COPY

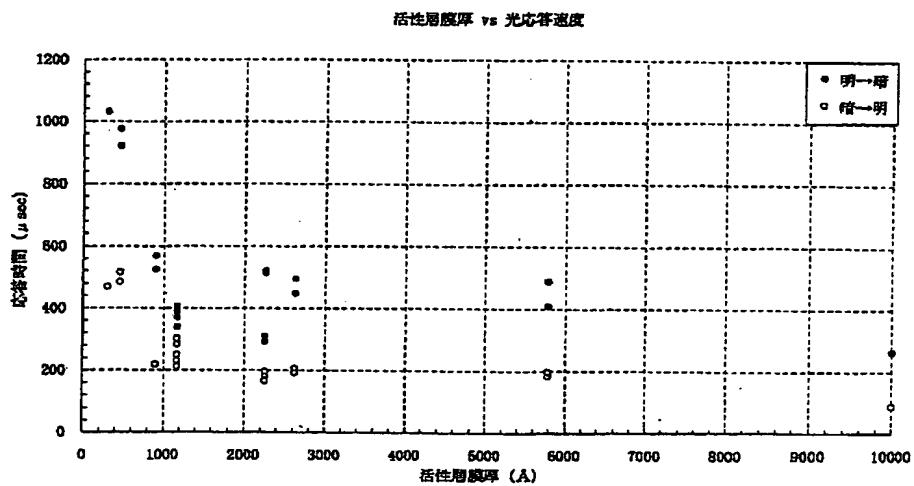
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 山内 幸夫

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 坂本 直哉

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 荒井 三千男

東京都中央区日本橋一丁目13番1号 ティ
ーディーケイ株式会社内